

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-182616

(P2002-182616A)

(43) 公開日 平成14年6月26日 (2002.6.26)

(51) Int.Cl. <sup>7</sup>	識別記号	FI	キーワード* (参考)
G09G 3/36		G09G 3/36	2H093
G02F 1/133	545	G02F 1/133	545 5C006
G09G 3/20	612	G09G 3/20	612T 5C080
	621		621M
	623		623R
審査請求 未請求 請求項の数5 OL (全10頁) 最終頁に続く			

(21) 出願番号 特願2000-381107(P2000-381107)

(22) 出願日 平成12年12月14日 (2000.12.14)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 綿谷 啓之

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

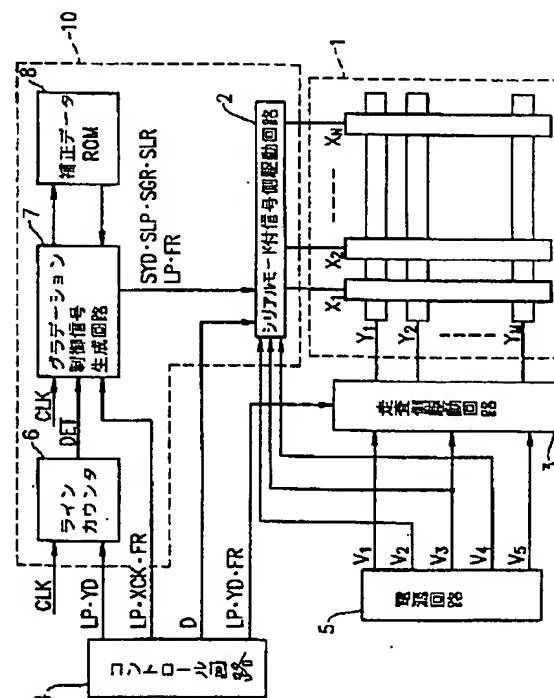
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 グラデーション現象の発生を抑制する。

【解決手段】 非表示期間において、各信号電極X1～XNが各走査電極Y1～YMの一方端から他方端に向かって順番に交差する各信号電極X1～XNに対して補正電圧を、印加時間が順次長くなるように、それぞれ印加される。



## 【特許請求の範囲】

【請求項 1】 走査電圧が印加される複数の走査電極と、各走査電極とは直交するように、液晶層を挟んでそれぞれが配置されて、それぞれに信号電圧が印加される複数の信号電極と、各走査電極に電圧を印加する走査側駆動回路と、各信号電極に電圧を印加する信号側駆動回路とを有する液晶表示装置であって、非表示期間に、各走査電極の一方端から他方端に向かってそれぞれが順番に交差する各信号電極に、それぞれの印加時間が順次長くなるように補正電圧が印加されることを特徴とする液晶表示装置。

【請求項 2】 前記各信号電極に対する補正電圧の印加時間が長くなるにつれて、印加時間の増加割合が減少する請求項 1 に記載の液晶表示装置。

【請求項 3】 前記各信号電極に対する補正電圧の印加時間の増加割合が一定である請求項 1 に記載の液晶表示装置。

【請求項 4】 前記補正電圧が予め設定された所定本数の信号電極毎に印加され、補正電圧が印加される信号電極の本数が変更可能になっている請求項 1 に記載の液晶表示装置。

【請求項 5】 前記信号側駆動回路は、シフトデータにより選択電圧と非選択電圧とを出力することができる請求項 1 に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、パーソナルコンピュータ、ワードプロセッサ等のOA機器、マルチメディア情報端末、AV機器、ゲーム機器等に用いられる単純マトリックス駆動方式の液晶表示装置に関する。

## 【0002】

【従来の技術】パーソナルコンピュータおよびワードプロセッサの普及にともない、それらの表示装置として、大型で消費電力の大きいCRT (Cathode-Ray Tube) に代えて、軽量、薄型であり電池駆動も可能な液晶表示装置が広く採用されている。

【0003】単純マトリックス駆動方式の液晶表示装置は、それぞれが平行する複数の走査電極とそれぞれが平行する複数の信号電極とが、液晶層を挟んでマトリクス状に交差するように配置された液晶パネルと、各走査電極に走査電圧を出力する走査側駆動回路と、各信号電極に信号電圧を出力する信号側駆動回路とを有している。単純マトリックス駆動方式の液晶表示装置は、電圧がそれぞれ印加された走査電極および信号電極間の液晶が駆動されるために、アクティブマトリックス駆動方式の液晶表示装置のように、液晶パネル内のマトリクス状に配列された各画素電極をそれぞれ駆動するための薄膜トランジスタ等の非線形素子が不要であるために、比較的製造が容易であり、製造コストも低く抑えることができる。

【0004】しかし、このような単純マトリックス駆動方式の液晶表示装置では、走査電極に対して一方の端部から走査電圧が印加されるために、表示画面の大型化にともなって走査電極が長くなると、1本の走査電圧に印加される電圧がその長手方向にそって順次低下し、各信号電極と交差する部分において液晶層に印加される電圧に差が発生する。その結果、1本の走査電極にて駆動される液晶部分には、走査側駆動回路から離れるにつれて、輝度差が発生するグラデーション現象を生じる。このようなグラデーション現象は、液晶表示装置の高解像度化により走査電極および信号電極の幅が縮小するとともに、それらの長さも増加することによって、走査電極の電気抵抗値がさらに増大すると、走査側駆動回路から離れるにつれて1本の走査電極に生じる電圧降下量が増大するため、さらに顕著になる。

【0005】このグラデーション現象の解決方法が、例えば特開平9-211475号公報に開示されている。特開平9-211475号公報には、複数の信号電極を駆動する信号駆動用ICを設けて、走査電極の一方端から他方端に沿って配置された各信号電極をそれぞれ駆動する各信号駆動用ICに、段階的に減少する抵抗をそれぞれ設けて、各走査電極の一方端から他方端に沿って配置された各信号電極に印加される電圧が段階的に増加する構成が開示されている。このような構成では、1本の走査電極にて順次低下する電圧は、各走査電極に順次交差する各信号電極の電圧が段階的に増加することによって、補正される。各信号電極には、表示期間のみならず、非表示期間にも適当な電圧が印加されており、したがって、非表示期間にも、走査電極との交差部に印加される電圧が補正される。

## 【0006】

【発明が解決しようとする課題】特開平9-211475号公報に開示された構成では、1つの信号用駆動ICによって電圧が印加される複数の信号電極が1単位として制御されている。通常、信号用駆動ICは、100本以上の信号電極を1単位として電圧を印加するために、グラデーション現象を高精度に補正することができないおそれがある。また、表示画面の大型化により各走査電極の抵抗値が増加し、必要とする補正量が増大した場合には、100本以上の信号電極に同一の電圧を信号用駆動ICによって印加すれば、隣り合う信号用駆動ICの境界において輝度差が生じ、表示ムラが発生するおそれもある。

【0007】また、垂直帰線期間からなる非表示期間内に設定された水平走査期間毎に、1つの信号用駆動ICにて駆動される複数の信号電極を1単位として、表示データに基づいて補正データを生成し、生成された補正データを、表示データとして各信号駆動用ICを介して複数の信号電極に断続的に印加し、補正データの印加する回数を、各走査電極の一方端から他方端に沿って配置さ

れた信号用駆動IC毎に段階的に増加させる方法も提案されている。この場合も、補正精度を上げるためには、信号用駆動ICによって制御される1単位の信号電極の数を少なくし、補正データを印加するために、各信号電極を走査する回数を増やす必要がある。しかし、補正データを印加するために各信号電極を走査する回数は、垂直帰線期間内において設定されるために、各信号電極の走査回数を増やすことには限度がある。また、各信号電極の走査回数が増えると補正データ数が増加し回路規模が大きくなるおそれがあり、補正精度を向上させることは容易ではない。この場合、補正精度を上げるために、信号用駆動ICに断続的に印加される補正データをパルス変調して補正電圧量を段階的に変更するパルス幅変調駆動方式を採用することも提案されているが、パルス幅変調駆動方式を採用すると、専用の信号用駆動IC、制御回路等が必要となり、コストアップになるおそれがある。

【0008】本発明は、このような課題を解決するものであり、その目的は、低コストで回路規模の小さい回路方式を用いてグラデーション現象の発生を抑制した液晶駆動装置を提供することにある。

【0009】

【課題を解決するための手段】本発明の液晶表示装置は、走査電圧が印加される複数の走査電極と、各走査電極とは直交するように、液晶層を挟んでそれぞれが配置されて、それぞれに信号電圧が印加される複数の信号電極と、各走査電極に電圧を印加する走査側駆動回路と、各信号電極に電圧を印加する信号側駆動回路とを有する液晶表示装置であって、非表示期間に、各走査電極の一方端から他方端に向かってそれぞれが順番に交差する各信号電極に、それぞれの印加時間が順次長くなるように補正電圧が印加されることを特徴とする。

【0010】前記各信号電極に対する補正電圧の印加時間が長くなるにつれて、印加時間の増加割合が減少する。

【0011】前記各信号電極に対する補正電圧の印加時間の増加割合が一定である。

【0012】前記補正電圧が予め設定された所定本数の信号電極毎に印加され、補正電圧が印加される信号電極の本数が増え可能になっている。

【0013】前記信号側駆動回路は、シフトデータにより選択電圧と非選択電圧とを出力することができる。

【0014】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。

【0015】図1は、本発明の実施形態である液晶表示装置のブロック図である。この液晶表示装置は、それぞれが平行な複数の走査電極Y1～YMと、それぞれが平行な複数の信号電圧X1～XNとが、液晶層を挟んで互いに直交するように配置された液晶パネル1と、各信号

電極X1～XNに対して表示データに基づく信号電圧を印加するシリアルモード付信号側駆動回路2と、各走査電極Y1～YMに対して順次走査電圧を印加する走査側駆動回路3と、シリアルモード付信号側駆動回路2および走査側駆動回路3を制御するコントロール回路4と、シリアルモード付信号側駆動回路2および走査側駆動回路3への駆動電圧を供給する電源回路5とを有している。

【0016】シリアルモード付信号側駆動回路2は、表示期間に各信号電圧X1～XNに表示データを印加するパラレルモード駆動を行い、非表示期間に各信号電極X1～XNに対して、補正電圧を順番に印加するシリアルモード駆動も行うことができるシリアルモード付信号駆動ICによって構成されている。シリアルモード付信号駆動ICは、走査側駆動回路3と同様に、シリアルデータ駆動のためのシフトレジスタを有している。

【0017】さらに、この液晶表示装置には、グラデーション現象を抑制して、シリアルモード付信号側駆動回路2を制御するグラデーション補正回路10が設けられている。グラデーション補正回路10は、非表示期間を検出するラインカウンタ6と、ラインカウンタ6からの非表示期間を示す信号を受信してシリアルモード付信号側駆動回路2へ制御信号を出力するグラデーション制御信号生成回路7と、予め設定された補正データが記憶された補正データROM8とを有している。

【0018】電源回路5は、シリアルモード付信号側駆動回路2および走査側駆動回路3に供給する5種類の電圧V1～V5を生成する。電圧V1～V5は、次の

(1)式を満足するように設定されている。

【0019】

$$V1 > V2 > V3 > V4 > V5 \cdots (1)$$

電圧V3は、シリアルモード付信号側駆動回路2および走査側駆動回路3にそれぞれ与えられており、非選択状態の信号電極および走査電極にそれぞれ印加される。電圧V1および電圧V5は、走査側駆動回路3のみに与えられており、順番に選択される走査電極に対して電圧V1および電圧V5が交流化信号FRに応じて印加される。電圧V2および電圧V4は、シリアルモード付信号側駆動回路2のみに与えられており、順番に選択される信号電極に対して電圧V2および電圧V4が交流化信号FRに応じて印加される。

【0020】グラデーション補正回路10のラインカウンタ6は、非表示期間を検出するようになっており、コントロール回路4から出力される走査クロック信号LPおよび走査開始信号YDが入力されている。ラインカウンタ6は、走査クロック信号LPによってカウントを行い、走査開始信号YDと同期するタイミングに基づいて非表示期間を検出し、非表示期間信号DETを生成して、生成された非表示期間信号DETをグラデーション制御信号生成回路7へ出力する。

【0021】グラデーション制御信号生成回路7には、ラインカウンタ6から出力される非表示期間信号DET、コントロール回路4から出力されるデータシフトクロックXCK、走査クロック信号LP、交流化信号FRがそれぞれ入力されており、また、外部から一定のパルス信号である外部クロック信号CLKも入力されている。さらに、グラデーション制御信号生成回路7には、補正データが記憶された補正データROM8が接続されている。

【0022】グラデーション制御信号生成回路7は、ラインカウンタ6から出力される非表示期間信号DETに基づいて、シリアルモード付信号側駆動回路2をシリアルモードに切り替えるためのシリアルモード切替信号SGRと、シリアルモードにおいて、各信号電極に対して順番に印加される補正電圧のシフト方向を反転させるシフト方向信号SLRを生成して、生成されたシリアルモード切替信号SGRおよびシフト方向信号SLRをシリアルモード付信号側駆動回路2に出力する。また、グラデーション制御信号生成回路7は、独立して入力される外部クロック信号CLKに基づいて、シフトクロック信号SLPおよび各信号電極に対して順番に補正電圧を印加するタイミングを示すシフトデータSYDも生成する。尚、シフトクロック信号SLPは、補正データROM8に記憶された補正データに基づいて、その補正データの大きさに比例するパルス間隔に補正される。

【0023】生成されたシフトデータSYDおよびシフトクロック信号SLPは、シリアルモード付信号側駆動回路2に出力される。

【0024】グラデーション補正回路10は、非表示期間に、グラデーション制御信号生成回路7によって生成されたシフトデータ信号SYDおよびシフトクロック信号SLPの同期タイミングに基づいて、シリアルモード付信号側駆動ICによって構成されたシリアルモード付信号側駆動回路2に、グラデーション現象を抑制する補正電圧が、信号電極X1からXNに印加されて、液晶パネル1の画面の輝度差（グラデーション現象）に対する補正が行われる。尚、非表示期間において、信号電極X1～XNに補正電圧が印加される場合には、全ての走査電極Y1～YMに、非選択電圧V3が印加される。

【0025】表1(a)～(c)は、それぞれシリアルモード付信号側駆動回路2の動作の一例を示している。

表1(a)では、シリアルモード切り替え信号SGRが、LOWレベルであることによりシリアルモード駆動とされ、グラデーション制御信号生成回路7から出力される交流化信号FR、シフトデータ信号SYDによりシリアルモード付信号側駆動回路2の出力電圧が決定される。シフトデータ信号SYDがHIGHレベルの場合は、交流化信号FRがHIGHレベルであれば、シリアルモード付信号側駆動回路2の出力電圧（補正電圧）は選択電圧V2となり、反対に、交流化信号FRがLOWレベルの場合には、シリアルモード付信号側駆動回路2の出力電圧は選択電圧V4となる。シフトデータ信号SYDがLOWレベルの場合は、交流化信号FRの出力レベルに関わらずシリアルモード付信号側駆動回路2の出力電圧は、常に非選択電圧V3が出力される。

【0026】表1(b)は、シリアルモード付信号側駆動回路2の出力数が240の場合に、シフト方向信号SLRに応じて、各信号電極に対して順番に電圧が印加される方向が反転されることを示している。シフトビット数が1の場合には、シフト方向信号SLRがHIGHレベルであれば、データ転送は出力端子(X1)から出力端子(X240)へ方向となり、シフト方向信号SLRがLOWレベルであれば、その逆にデータ転送は出力端子(X240)から出力端子(X1)へ方向となる。また、シフトビット数が3の場合には、隣接する3つの出力端子ずつ順番にデータ転送が行われ、表1

(b)に示すように、シフト方向信号SLRがLOWレベルであれば、データ転送は3つの出力端子(X238、X239、X240)に同時にデータ転送され、以下、3つの出力端子ずつ同時にデータ転送されて、出力端子(X1、X2、X3)までシフトされる。シフト方向信号SLRがHIGHレベルであれば、3つの出力端子(X1、X2、X3)から3つの出力端子(X238、X239、X240)へ、3つずつ順番にデータ転送される。

【0027】表1(c)は、シリアルモード付信号側駆動回路2の出力数をp、シフトビット数をaとした場合のシフトビット数aに等しい数のデータの転送状態を一般化したものであり、出力端子ずつ順番にデータ転送が行われる。

【0028】

【表1】

(a)

交流化信号 FR	シフトデータ SYD	シリアルモード 切替信号 SGR	信号側駆動 IC出力
L	L	L	V <sub>3</sub>
	H		V <sub>4</sub>
H	L		V <sub>3</sub>
	H		V <sub>2</sub>

(b)

シフト ビット数	シフト方向 信号 SLR	データ転送方向(出力数=240の例である)
1	L	X <sub>240</sub> →X <sub>239</sub> →X <sub>238</sub> →-----→X <sub>3</sub> →X <sub>2</sub> →X <sub>1</sub>
	H	X <sub>1</sub> →X <sub>2</sub> →X <sub>3</sub> →-----→X <sub>238</sub> →X <sub>239</sub> →X <sub>240</sub>
3	L	X <sub>240</sub> →X <sub>237</sub> →X <sub>234</sub> →-----→X <sub>6</sub> →X <sub>5</sub> →X <sub>3</sub>
		X <sub>239</sub> →X <sub>236</sub> →X <sub>233</sub> →-----→X <sub>8</sub> →X <sub>5</sub> →X <sub>2</sub>
		X <sub>238</sub> →X <sub>235</sub> →X <sub>232</sub> →-----→X <sub>7</sub> →X <sub>4</sub> →X <sub>1</sub>
	H	X <sub>1</sub> →X <sub>4</sub> →X <sub>7</sub> →-----→X <sub>232</sub> →X <sub>235</sub> →X <sub>238</sub>
		X <sub>2</sub> →X <sub>5</sub> →X <sub>8</sub> →-----→X <sub>233</sub> →X <sub>236</sub> →X <sub>239</sub>
		X <sub>3</sub> →X <sub>6</sub> →X <sub>9</sub> →-----→X <sub>234</sub> →X <sub>237</sub> →X <sub>240</sub>

(c)

出力数をpとし一般化すると下記の通りとなる

シフト ビット数	シフト方向 信号 SLR	データ転送方向(出力数=p)
a	L	X <sub>p</sub> →X <sub>p-a</sub> →X <sub>p-2a</sub> →-----→X <sub>3a</sub> →X <sub>2a</sub> →X <sub>a</sub>
		X <sub>p-a+1</sub> →X <sub>p-2a+1</sub> →X <sub>p-3a+1</sub> →-----→X <sub>1+2a</sub> →X <sub>1+a</sub> →X <sub>1</sub>
	H	X <sub>a</sub> →X <sub>2a</sub> →X <sub>3a</sub> →-----→X <sub>p</sub> →X <sub>p-a</sub> →X <sub>p-2a</sub>
		X <sub>1</sub> →X <sub>1+a</sub> →X <sub>1+2a</sub> →-----→X <sub>p-3a+1</sub> →X <sub>p-2a+1</sub> →X <sub>p-a+1</sub>

このような液晶表示装置において、表示期間には、各走査電極Y1～YMが順次走査され、その走査の間に各信号電極X1～XNに、走査側駆動回路3に近接して配置された信号電極X1から順番に、信号電圧が印加される。走査側駆動回路3は、コントロール回路4から出力される走査クロック信号LP、交流化信号FRおよび走査開始信号YDに基づいて、走査電極Y1から順番に1本ずつ選択して、コントロール回路4から出力される交流化信号FRがHIGHレベルの場合には、選択された走査電極に対して電源回路5から供給される選択電圧V5を印加し、交流化信号FRがLOWレベルの場合には、選択された走査電極に対して電源回路5から供給される選択電圧V1を印加する。そして、非選択の走査電極に対しては、非選択電圧V3を印加する。

【0029】この場合、シリアルモード付信号側駆動回路2は、グラデーション制御信号生成回路7からシリアルモード切替信号SGRが出力されていないことによってパラレルモード駆動とされ、グラデーション制御信号生成回路7から出力される走査クロック信号LPおよび交流化信号FRに基づき、コントロール回路4から出力

される表示データ信号Dに対応して、交流化信号FRと表示データ信号Dとが同レベル（例えばどちらもHIGHレベルまたはLOWレベル）の場合は、選択された信号電極に対して、電源回路5から供給される選択電圧V2を印加し、交流化信号FRと表示データ信号Dとが異なるレベル（一方がHIGHレベルで、他方がLOWレベル）の場合は、選択された信号電極に対しては、電源回路5から供給される選択電圧V4を印加する。これにより、液晶パネル1の液晶層に印加される電圧が交流化される。ここで、選択電圧V1、V2、V4、V5および非選択電圧V3は、前述の(1)式を満足するように、設定されている。

【0030】液晶パネル1の液晶層には、走査電極Yjと信号電極Xiとの交差部分に配置された液晶部分（液晶容量、画素PIX(i, j)）には、走査電極Yjと信号電極Xiとの電位差に応じた電圧が印加され、この液晶部分の透過率は、液晶容量へ印加される実効電圧に応じて変化する。したがって、各信号電極X1～XNおよび各走査電極Y1～YMへの印加電圧を制御することによって、液晶パネル1内の全画素PIX(1, 1)～

P I X (N, M) の表示状態が制御され、表示データに基づいた画像が表示される。

【0031】これに対して、液晶パネル1の非表示期間がラインカウンタ6によって検出されて、グラデーション制御信号生成回路7からシリアルモード切替信号S G Rが出力されると、シリアルモード付信号側駆動回路2は、シリアルモード切替信号S G Rによって、通常の信号側駆動であるパラレル駆動からシリアルモード駆動に切り替えられる。シリアルモード付信号側駆動回路2では、シリアルモード駆動の場合に、グラデーション制御信号生成回路7からシフトデータ信号S Y Dおよびシフトクロック信号S L Pに基づいて、補正電圧が各信号電極に対して印加され、補正電圧が印加される時間は、信号電極が走査側駆動回路3側から遠くに配置されているほど長くなっている。

【0032】図2は、補正を行う期間である非表示期間（ブランキング期間）を示すタイミングチャートである。表示期間を表す走査開始信号Y Dは、走査クロック信号L Pに同期して、コントロール回路4から1パルスのみ出力される。一般的なC R Tとの同時駆動を行う場合には、走査開始信号Y Dと走査クロックL Pとのタイミングは、2フレーム毎に1回の割合で、C R T駆動の垂直帰線期間に相当する非表示期間が存在する。図2では、2フレーム目の表示期間の後に非表示期間が設定されている。この非表示期間は、走査開始信号Y Dのパルスが出力された後の走査クロック信号L Pのパルス数をカウントすることにより検出される。C R Tとの同時駆動を行わない場合には、非表示期間は、2フレームに1回存在するのではなく、1フレームに1回存在する場合もあるが、本実施形態では、2フレームに1回、非表示期間が存在する場合であって、S V G A (S u p e r V i d e o G r a p h i c A r r a y : 8 0 0 × 3 (R G B) × 6 0 0 ドット) のデュアルスキャン駆動する液晶表示装置を例にして、非表示期間におけるグラデーション現象を抑制する各信号電極X 1 ~ X Nへの信号電圧補正の説明を行う。信号電極の列数は、S V G AがR G B 3色であるため、2400列(800×3)であり、シリアルモード付信号側駆動回路2のシフトビット数は3になっている。

【0033】図3は、非表示期間においてグラデーション現象を抑制する信号電極への補正電圧印加のタイミングチャートである。表示期間を表す走査開始信号Y Dのパルスが出力されると、1フレーム内に走査クロックL Pが300パルス出力される。非表示期間は、2フレーム目の表示期間を示す300番目の走査クロック信号L Pが出力された後の28個の走査クロック信号L Pのパルス、すなわち、301~328番目のパルス区間に設定されている。

【0034】図3に示す非表示期間の拡大部分は、本実施形態の液晶表示装置の非表示期間における各信号の動

作状態を示す。ラインカウンタ6は、2フレームの開始から走査クロック信号L Pの301番目のパルスが出力されると、非表示期間信号D E Tをグラデーション制御信号生成回路7に出力する。グラデーション制御信号生成回路7は、非表示期間信号D E Tをラインカウンタ6から受け取ると、シリアルモード付信号側駆動回路2にシリアルモード切替信号S G Rを出力する。さらに、グラデーション制御信号生成回路7は、シリアルモード付信号側駆動回路2にシフト方向信号S L Rを出力し、この非表示期間では、表示期間とは反対に走査側駆動回路3に対して最も遠方側に配置された信号電極X Nから走査側駆動回路3に最も近接して配置された信号電極X 1まで、補正電圧の印加方向をシフトする。

【0035】本実施形態では、表示期間での信号電極に信号電圧を印加する走査方向が走査側駆動回路3に近接して配置された1列目の信号電極から2400列目であるのに対して、非表示期間では、反対に、2400列目の信号電極から1列目に向かって補正電圧として各信号電極毎に印加時間の異なる選択電圧V 2が印加される

(実際には、R、G、B 3色のため、信号電極は2400列あるが、以下、R G B 3色の信号電圧に対して、一括して補正電圧が印可されるために、補正電圧が印加される800列について説明する)。

【0036】非表示期間において、シフト方向信号S L Rが出力された後に、最初のシフトクロック信号S L Pに同期してシフトデータ信号S Y Dが出力されると、走査側駆動回路3から遠方側の800列目の信号電極に補正電圧V 2が印加される。そして、次のシフトクロック信号S L Pに同期してシフトデータ信号S Y Dが出力されると、走査側駆動回路3から遠方側の800列目および799列目の信号電極に補正電圧V 2が印加される。以下、シフトデータ信号S Y Dが出力される毎に、走査側駆動回路3の遠方側に配置された信号電極から走査側駆動回路3に近接して配置された信号電極に対して補正電圧V 2が順番に印加されていく状態となる。その結果、各信号電極に印加される電圧は、各信号電極に印加される補正電圧である選択電圧V 2の印加時間が、走査側駆動回路3から遠方側の信号電極の800列目から走査側駆動回路3に近接した信号電極の1列目に向かっ

て、シフトクロック信号S L Pの1パルス間隔ずつ順次減少する。その結果、走査側駆動回路3に対して遠方側に位置する信号電極に対する補正電圧V 2の印加時間が最も長く、走査側駆動回路3に近接するにつれて、信号電極に対する補正電圧V 2の印加時間が順次短くなる。このように、非表示期間に、各信号電極に対して走査側駆動回路3から離れるにつれて印加時間が長くなるように、補正電圧を印加しているために、次の表示期間に、各走査電極において走査側駆動回路3から離れるに連れて大きくなる電圧降下が補正される。その結果、液晶パネル1に表示される画像のグラデーション現象を抑制す

ることになる。

【0037】信号電極に印加される補正電圧は、信号電極が選択されない場合、非選択電圧V3となり、信号電極が選択される場合、選択電圧V2またはV4となる。選択電圧V2およびV4のどちらを選択するかは、前述したように交流化信号FRによって、決定される。非表示期間では、走査側駆動回路3は、各走査電極に対して非選択電圧V3を出力する。その結果、液晶層への印加電圧値は、V2-V3（プラス値）またはV3-V4（マイナス値）となる。

【0038】この場合、グラデーション制御信号生成回路7は、補正データROM8にアクセスして、補正データROM8に、予め与えられている補正データを読み込み、グラデーション制御信号生成回路7に入力される外部クロック信号CLKに基づいてシフトクロック信号SLPのパルス間隔を読み込まれた補正データの大きさに基づいて、決定して出力する。非表示期間に出力されるシフトクロック信号SLPは、本実施形態では、シリアルモード付信号側駆動回路2のシフトビット数が3であるために、800個となっており、800個のシフトクロック信号SLP毎にシフトデータ信号SYDも出力される。各信号電極に印加される補正電圧である選択電圧V2またはV4は、シフトクロック信号SLPに基づいて出力されるが、シフトクロック信号SLPのパルス間隔は、1番目のパルスから800番目になるにつれて減少するように補正データが設定されている。この結果、シフトクロック信号SLPの1番目のパルスから800番目のパルスになるにつれてパルス間隔が順次小さくなり、これにより、補正電圧の印加時間が順次長くなるものの、補正電圧の印加時間が長くなるほど、印加時間の増加割合が減少する。このことより、補正データROM8における補正データトータルのメモリ容量を抑えることができ、回路規模の縮小および低コスト化が図れる。

【0039】尚、シフトクロック信号SLPの1番目のパルスから800番目のパルスのパルス間隔を一定とすることにより、補正電圧の印加時間の増加割合が一定である場合でも、補正データトータルのメモリ容量が前述のシフトクロック信号SLPの1番目のパルスから800番目のパルスのパルス間隔を順次小さくした補正データトータルのメモリ容量と等しくなるようにすれば本実施形態と同様の効果が得られる。

【0040】表2は、補正データROM8に、予め与えられている前述の補正データの具体例である。補正データは、800列目から1列目の各信号電極への補正電圧のパルス幅（印加時間）に相当する。これより、図3に示すように、シフトクロック信号SLPのパルスは、1

番目から800番目になるにつれてシフトクロック信号SLPのパルスの間隔（周期）が小さくなっており、したがって、800列目の信号電極になるにつれて、補正電圧の印加時間が長くなっているものの、その時間の増加割合が小さくなっている。

【0041】

【表2】

SLP	補正データ	SLP	補正データ
1	100	30	50
2	90	31	50
3	84	32	49
4	80	33	49
5	76	34	48
6	74	35	48
7	71	36	47
8	69	37	47
9	68	38	47
10	66	39	46
11	65	40	46
12	64	41	45
13	62	42	45
14	61	43	45
15	60	44	44
16	59	45	44
17	58	46	44
18	58	47	43
19	57	48	43
20	56	49	43
21	55	50	43
22	55	.	.
23	54	.	.
24	53	795	2
25	53	796	2
26	52	797	2
27	52	798	2
28	51	799	2
29	51	800	2

表3は、各信号電極に印加される補正電圧の印加時間

（補正データ）を列毎に示したものである。各信号電極に印加される補正電圧の各シフトクロック信号SLPのパルス間隔に基づく印加時間の総和は、2400列目から1列目に向かって減少している。各信号電極の各列毎の補正電圧の各シフトクロック信号SLPのパルス間隔に基づく印加時間の総和は、各信号電極毎の補正電圧の印加時間の総和に比例するので、次の表示期間に、各走査電極において、走査側駆動回路3から離れるにつれて電圧降下がそれぞれ補正され、表示期間における液晶層の輝度は、信号電極の1列目から2400列目に向かって明るくなるように補正されることになる。

【0042】

【表3】



		列(ドット)															
		1 3	4 6	7 9	10 12	13 15	16 18	19 21	22 24	25 27	28 30			2389 2391	2392 2394	2395 2397	2398 2400
補正データ		100	100	100	100	100	100	100	100	100	100	・	・	100	100	100	100
			90	90	90	90	90	90	90	90	90	・	・	90	90	90	90
				84	84	84	84	84	84	84	84	・	・	84	84	84	84
					80	80	80	80	80	80	80	・	・	80	80	80	80
						76	76	76	76	76	76	・	・	76	76	76	76
							74	74	74	74	74	・	・	74	74	74	74
								71	71	71	71	・	・	71	71	71	71
									69	69	69	・	・	69	69	69	69
										68	68	・	・	68	68	68	68
											66	・	・	66	66	66	66
												・	・	・	・	・	・
													・	・	・	・	・
														2	2	2	2
															2	2	2
																2	2
補正データの総和		100	190	274	354	430	504	575	644	712	778	・	・	38607	38859	39128	39428

図6は、画像が表示される表示期間において、各走査電極に電圧降下が発生している場合に、特に補正をしていない信号電極の1列目から2400列目に対応した液晶層の輝度分布を示すグラフである。信号電極の1列目から2400列目に向かって液晶層の輝度が低下するグラデーション現象が発生している。

【0043】この図6のグラデーション現象が発生している表示画面に対して、このような場合に、図4に示すように、1列目から2400列目の信号電極に対応した液晶層部分の輝度が順次増加するように補正すれば、図5に示すように信号電極の1列目から2400列目において液晶層の均一な輝度分布が実現できる。

【0044】また、上記実施の形態では、シリアルモード付信号側駆動回路2として、シリアルモード時に信号電極に印加するために選択される電圧が選択電圧V2またはV4(交流化信号FRによりどちらかに決定される)と非選択電圧V3とをシフトデータ信号SYDにより出力できる機能を有するシリアルモード付信号側駆動回路2により構成されていることによって、補正電圧用の電源切替回路が不要となり、回路規模の縮小および低コスト化が図れる。

【0045】尚、シリアルモード付信号側駆動回路2として、このようなシリアルモード付信号側駆動ICを使用することなく、シフトデータ信号SYDによって選択電圧V2およびV4が切り替わる一般的な信号側駆動回路を使用する場合には、信号側駆動回路に選択電圧を出力する電源回路部において、非表示期間に選択電圧V2およびV4のいずれかを、非選択電圧V3となるように切り替えて出力するようにすればよい。

【0046】

【発明の効果】本発明の液晶表示装置は、非表示期間に

において、各信号電極が各走査電極の一方端から他方端に向かって順番に交差する各信号電極に対して補正電圧を、印加時間が順次長くなるように、それぞれ印加されているために、低コストで回路規模の小さい回路によって、表示画像のグラデーション現象の発生を抑制できる。

【図面の簡単な説明】

【図1】本発明の実施形態である液晶表示装置のブロック図である。

【図2】本発明の実施形態である液晶表示装置の非表示期間を示すタイミングチャートである。

30 【図3】本発明の実施形態である液晶表示装置の非表示期間における補正電圧の印加状態を示すタイミングチャートである。

【図4】各信号電極への補正電圧の印加時間の総和と液晶層の輝度の関係を示すグラフである。

【図5】本発明の実施形態である液晶表示装置の各信号電極上における補正を行った場合の液晶層の輝度分布を示すグラフである。

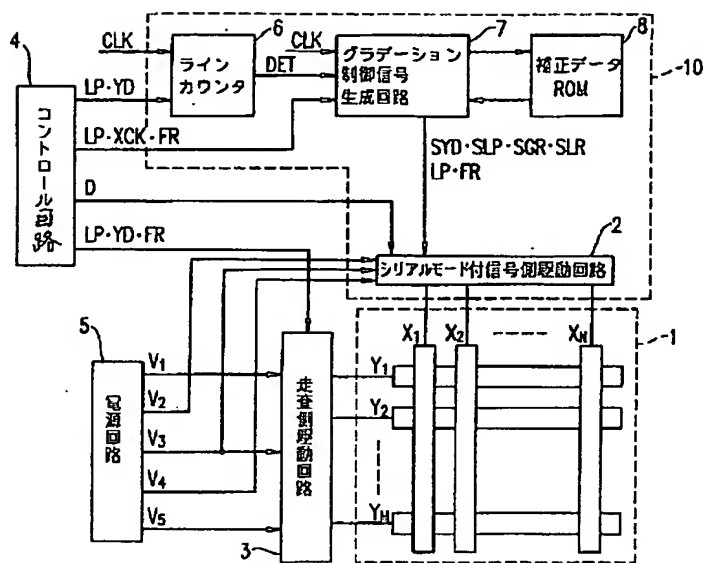
【図6】従来の液晶表示装置の各信号電極上での液晶層の輝度分布を示すグラフである。

40 【符号の説明】

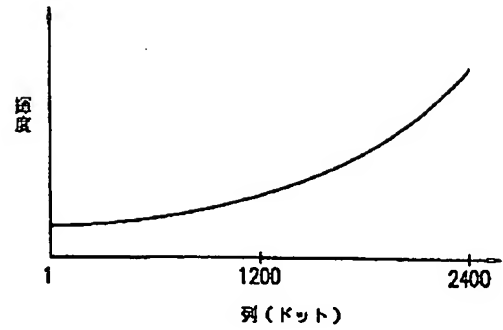
- 1 液晶パネル
- 2 シリアルモード付信号側駆動回路
- 3 走査側駆動回路
- 4 コントロール部
- 5 電源回路
- 6 ラインカウンタ
- 7 グラデーション制御信号生成回路
- 8 補正データROM
- 10 グラデーション補正回路



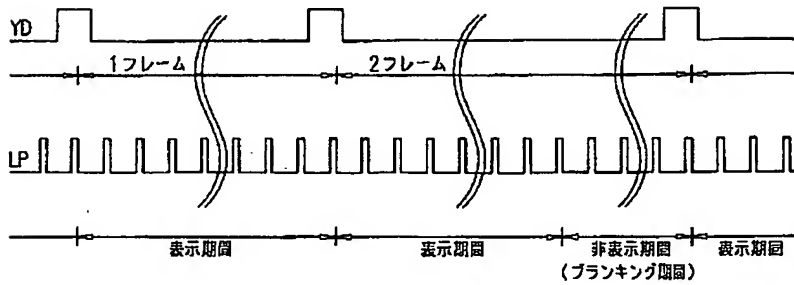
【図1】



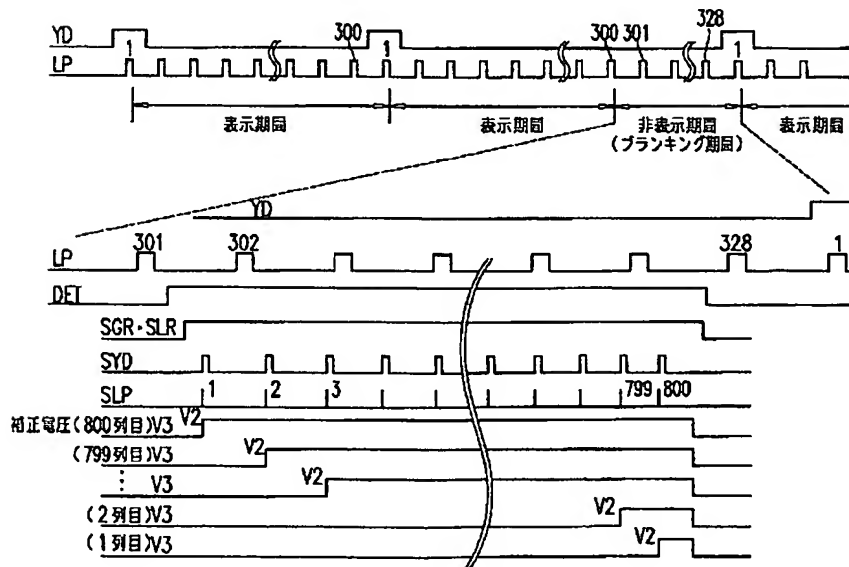
【図4】



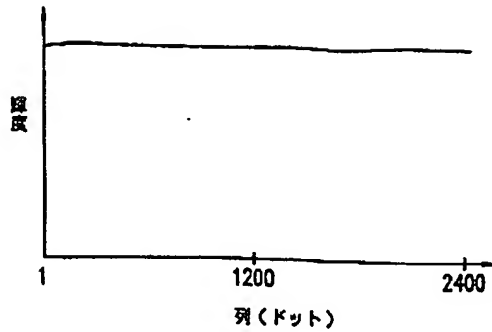
【図2】



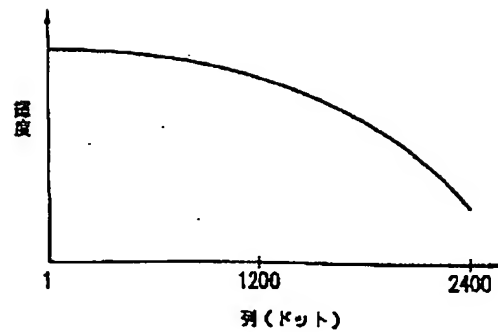
【図3】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 Y
	6 4 2		6 4 2 A

F ターム(参考) 2H093 NA07 NA43 NB23 NC11 NC21  
 NC27 NC28 NC49 NC65 ND05  
 ND09 ND15  
 5C006 AF13 AF46 AF51 AF73 BB12  
 BC03 BC12 BF03 BF08 FA18  
 FA22 FA37  
 5C080 AA10 BB05 DD05 EE28 FF12  
 JJ02 JJ04 JJ05